

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報 (A)

平4-186217

⑬ Int. Cl. 5

G 02 F 1/133

G 09 G 3/36

識別記号

5 6 0

5 5 0

厅内整理番号

7634-2K

7634-2K

7926-5G

⑭ 公開 平成4年(1992)7月3日

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 強誘電液晶パネルのインターレース駆動方法

⑯ 特 願 平2-314242

⑰ 出 願 平2(1990)11月21日

⑮ 発明者 横松 克巳 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑯ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ⑰ 代理人 弁理士 伊東 哲也 外1名

明 細 告

1. 発明の名称

強誘電液晶パネルのインターレース駆動方法

2. 特許請求の範囲

(1) 強誘電液晶パネルをインターレースモードにより駆動する際、該パネルの各ピクセルを非表示フィールド期間中にリセットすることを特徴とする強誘電液晶パネルの駆動方法。

(2) 前記各ピクセルを非表示フィールド期間の全期間にわたってリセットすることを特徴とする特許請求の範囲第1項記載の強誘電液晶パネルの駆動方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明はアクティグマトリックス型強誘電液晶パネルをNTSC・HD等のインターレースモードで駆動する際の駆動方法に関するものである。

【従来技術】

従来、この種の液晶パネル駆動方法は U.S.P. 4,840,462 (Philips) に示されるように、リセットとライト (書き込み) 信号を水平周期期間内に時分割して挿入するという方法を探っていた。第3図は、このような従来の駆動方法を実行するための駆動系を示し、第4図は、第3図の駆動系における各信号のタイミングを示す。第3図において、1はアクティグマトリックス型の強誘電液晶パネル (以下、FLCパネルという)、2はXドライバ、3はYドライバ、4はタイミングコントローラ、5はリセット/ライト切換回路、6はゲートライン、7は信号ライン、8はFLCピクセル (画素)、9は TFT (薄膜トランジスタ) である。第3図の駆動系は、水平周期の前半でリセットを行ない、後半でライトを行なうというものであった。さらに各ピクセル8のリセット信号11印加とライト信号10印加との期間を数水平周期分 (第4図の例では4周期分) ずらすことにより、リセット信号11の印加中と印加後ライト

信号10が印加されるまでのピクセル8がオープン状態となっている前記数水平周期分の期間は、リセット電圧12がピクセル8内の強誘電液晶(FLC)に掛かり続けるように、また、ライト信号10印加後、次のリセット信号11印加までのほぼ垂直周期に相当する期間(ピクセル8はオープン状態)はピクセル8内のFLCにライト電圧13が掛かり続けるようにしていた。したがって、リセットからライトまでの数水平周期期間以外は各ピクセル8はライト信号10に相当する表示状態を保っていた。

【発明が解決しようとする課題】

しかしながら、上記従来例ではリセット電圧(マイナス)印加期間に対してライト電圧(プラス)印加期間がはるかに長いため、時間平均的には各FLCピクセル8に掛かっている電圧はプラス側に片寄っている。このため、第5図に示すように、FLCピクセル8のFLC層16内では該層内に存在する不純物イオン14が泳動して上下

における両電極への不純物イオンの蓄積をもりセッタすることができる。このため、不純物イオンによるライト動作への妨害を無くし、良好なFLCパネルの駆動が行なうことができる。

【実施例】

第1図および第2図は、本発明の一実施例に掛かるFLCパネル駆動系のブロック図およびそのタイミングチャートである。第1図の駆動系は、第3図のYドライバ3をYoddドライバ3-1とYevenドライバ3-2とに分離して、奇数(odd)フィールドを構成するFLCピクセルと偶数(even)フィールドを構成するFLCピクセルとを独立して駆動するようにしたものである。すなわち、第1図の駆動系において、FLCパネル1の各ピクセル8は、TFT9、Xドライバ2、Yoddドライバ3-1およびYevenドライバ3-2によりインタースモードのアクティグマトリックス駆動をなされる。Yoddドライバ3-1は奇数(odd)ゲートライン群6-1の各ゲートを

両電極15、17上に蓄積し、これによる内部電界がFLCの挙動(特にライト動作)を妨げるという欠点を有していた。

本発明は、上述した従来例における問題点に鑑みてなされたもので、特に、FLCパネルをインタースモードで駆動する際に、不純物イオンによるライト動作への妨害を無くしてFLCパネルを良好に駆動できる駆動方法を提供することを目的としている。

【課題を解決するための手段】

前記目的を達成するため、本発明では、FLCパネルをインタースモードで駆動することを前提に、その際の非表示フィールド期間をリセットに利用することを特徴としている。

【作用】

本発明によれば、FLCパネルをインタースモードで駆動する際、非表示フィールド期間をリセットに利用することにより、各FLCピクセル

駆動し、Yevenドライバ3-2は、偶数(even)ゲートライン群6-2の各ゲートを駆動する。信号ライン群7には、Xドライバ2およびリセット/ライト切換回路5により、1/2水平周期毎にマイナス極性のリセット信号(マイナス)とプラス極性のライト信号が交互に印加される(第2図参照)。ここで、各ライト信号は、ビデオ信号を各画素に対応するタイミングでサンプリングした信号を1水平ライン分ホールドした書込信号である。

まず、ビデオ信号における奇数フィールド時には、第2図Aに示すように、Yoddドライバ3-1によるゲートパルス印加とYevenドライバ3-2によるゲートパルス印加のタイミングを1/2水平周期ずらすことにより、奇数ゲートライン6-1上の各ピクセルにはライト信号10を印加させ、偶数ゲートライン6-2上の各ピクセルにはリセット信号を印加する。これにより、該フィールド期間中ずっと奇数ゲートライン6-1上ピクセルにはライト電圧13が加わって表示が行なわ

れ、偶数ゲートライン 6-2 上ピクセルにはリセット電圧 12 が加わってリセット動作がなされる(第2図B参照)。また、ビデオ信号における偶数フィールド時には、同様に、奇数フィールド時とは逆の信号が奇数と偶数それぞれのゲートライン上ピクセルに印加することにより、奇数ゲートライン 6-1 上ピクセルにはリセット電圧が該フィールド期間中加わり続けてリセット動作が行なわれ、偶数ゲートライン 6-2 上ピクセルにはライト電圧が加わり続けて、表示がなされる(第2図B参照)。したがって、各FLCピクセルへの印加電圧はその時間平均がほぼプラス・マイナスされて相殺されるか、または若干マイナス側に片寄るようになる(リセット電圧はその絶対値がライト電圧の最大値とほぼ等しく設定するのが好ましいため)。これにより、不純物イオンが常に前述したライト動作妨害と逆の側に引き戻される。つまり、FLCのみでなく不純物イオンもリセットがなされることになるため、次のライト動作が良好に行なわれ、ライト電圧に忠実な表示が可能

となる。

[発明の効果]

以上説明したように、本発明によると、FLCパネルをNTSC・HDなどのインタレースモードにより駆動する際、非表示フィールド期間をリセットに利用することにより、十分長いリセット期間が得られるため、FLC層中の不純物イオンをもリセットすることが可能となり、良好なライト動作ができる効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例に係るFLCパネル駆動系のブロック図。

第2図は、第1図の駆動系における各信号のタイミングチャート。

第3図は、従来のFLCパネル駆動系のブロック図。

第4図は、第3図の駆動系のタイミングチャート、そして

14: 不純物イオン

15, 17: 電極

16: FLC層

第5図は、FLCピクセル断面の模式図である。

- 1: FLCパネル
- 2: Xドライバ
- 3: Yドライバ
- 3-1: Yoddドライバ
- 3-2: Yevenドライバ
- 4: タイミングコントローラ
- 5: リセット/ライト切換回路
- 6: ゲートライン
- 6-1: oddゲートライン
- 6-2: evenゲートライン
- 7: 信号ライン
- 8: FLCピクセル
- 9: TFT
- 10: ライト信号
- 11: リセット信号
- 12: リセット電圧波形
- 13: ライト電圧波形

特許出願人

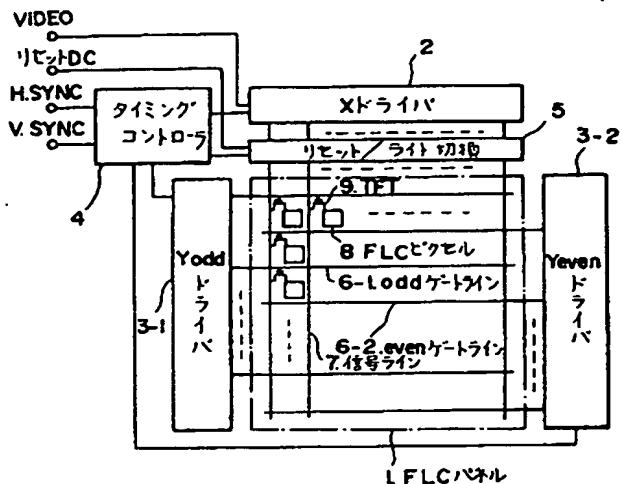
キヤノン株式会社

代理人 弁理士

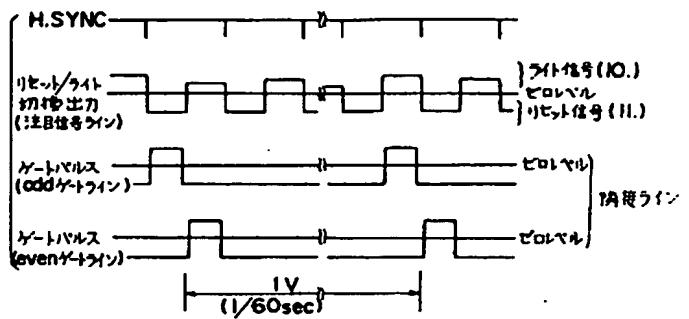
伊東哲也

代理人 弁理士

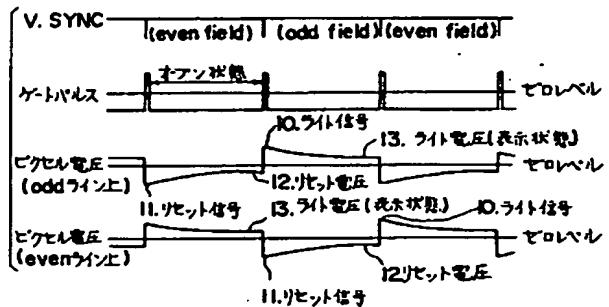
伊東辰雄



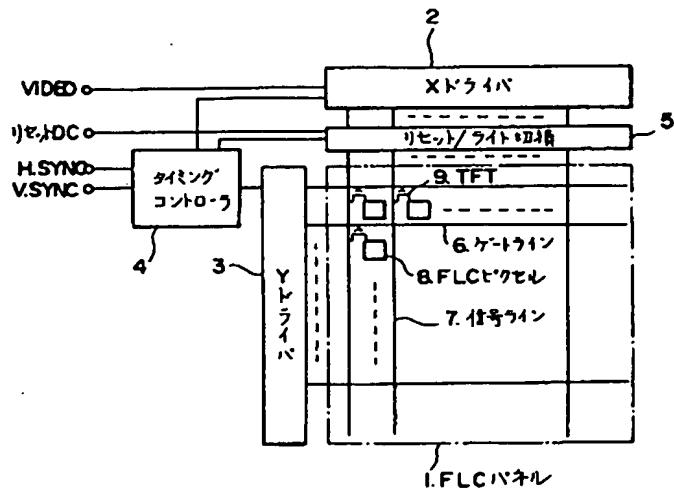
第1図



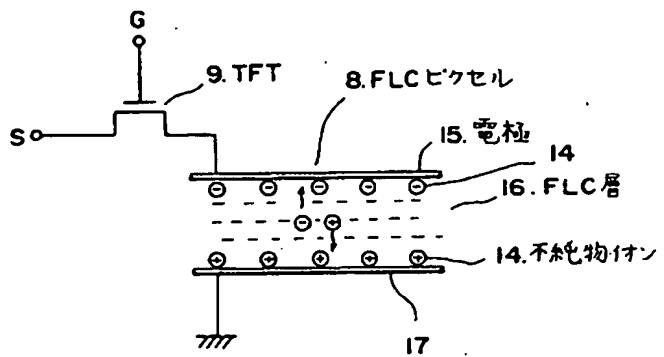
第2図A



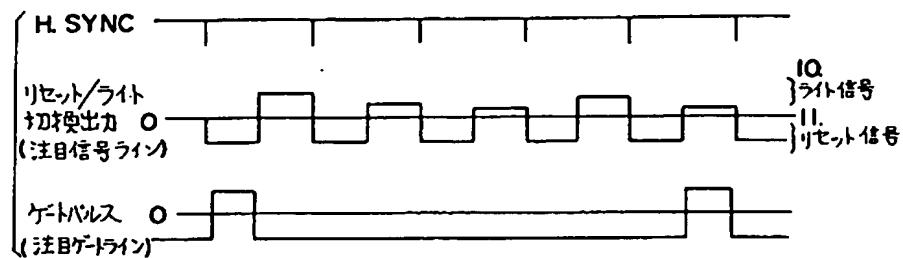
第2図B



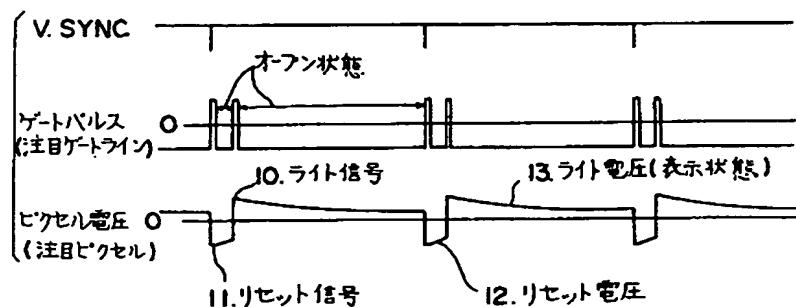
第3図



第5図



第 4 図 A



第 4 図 B

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04186217 A

(43) Date of publication of application: 03.07.92

(51) Int. Cl

G02F 1/133**G02F 1/133****G09G 3/36**

(21) Application number: 02314242

(71) Applicant CANON INC

(22) Date of filing: 21.11.90

(72) Inventor: KUREMATSU KATSUMI

(54) INTERLACE DRIVING METHOD FOR HIGHLY DIELECTRIC LIQUID CRYSTAL PANEL

(57) Abstract:

PURPOSE: To obtain an excellent light actuation in the case of driving a highly dielectric liquid crystal panel in an interlace mode by resetting respective pixels on the panel during a non-display field period.

CONSTITUTION: On respective pixels 8 on FLC panel 1, active matrix driving in an interlace mode is carried out by means of TFT 9, X driver 2, Yodd driver 3-1 and Yeven driver 3-2. The Yodd driver 3-1 drives respective gates in an odd gate line group 6-1, and the Yeven driver 3-2 drives respective gates in an even gate line group 6-2. A reset signal having minus polarity and a light signal having plus polarity are impressed alternately upon a signal line group 7 with every horizontal period by means of the X driver 2 and a reset/light switching circuit 5. Thereby, an excellent light actuation can be obtained.

COPYRIGHT: (C)1992,JPO&Japio

